

14/3,AB/8.

DIALOG(R) File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05061276

GRAPHIC DISPLAY CIRCUIT EQUIPPED WITH SMOOTHING PROCESSING CIRCUIT

PUB. NO.: 08-016776 JP 8016776 A]

PUBLISHED: January 19, 1996 (19960119)

INVENTOR(s): UZAWA YASUHISA

APPLICANT(s): TOKYO KOKU KEIKI KK [323851] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-173185 [JP 94173185]

FILED: June 30, 1994 (19940630)

ABSTRACT

PURPOSE: To provide the graphic display circuit equipped with smoothing processing circuit with which smoothing processing is enabled in real time without limiting a picture size, smoothing is enabled to any arbitrary part as well and smoothing is optimized corresponding to the arrangement of picture elements and the shape of a graphic by providing a smoothing function in a local area for the graphic display on a raster scan system display.

CONSTITUTION: Any one of smoothing processing parts is selected by a color discriminating circuit 16. In the example for 3X3 pieces of picture elements, the picture elements in respective lines are delayed by a delay circuit 11. Then, they are weighted by a computing element 12 and those picture elements are added by an adder 13. The information of weighted local areas is outputted from an adder 17, and the gradient of luminance and the range of filtering are decided by the setting circuit and selecting circuit of a size comparator circuit in a smoothing control circuit 18.

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 T 5/20

5/30

G 0 9 G 5/36

5 2 0 C 9377-5H

G 0 6 F 15/ 68

4 1 0

15/ 66

4 0 5

審査請求 未請求 請求項の数4 F D (全 7 頁)

(21)出願番号

特願平6-173185

(22)出願日

平成6年(1994)6月30日

(71)出願人 000220354

東京航空計器株式会社

東京都狛江市和泉本町1丁目35番1号

(72)発明者 鶴澤 安寿

東京都狛江市和泉本町一丁目35番1号 東

京航空計器株式会社内

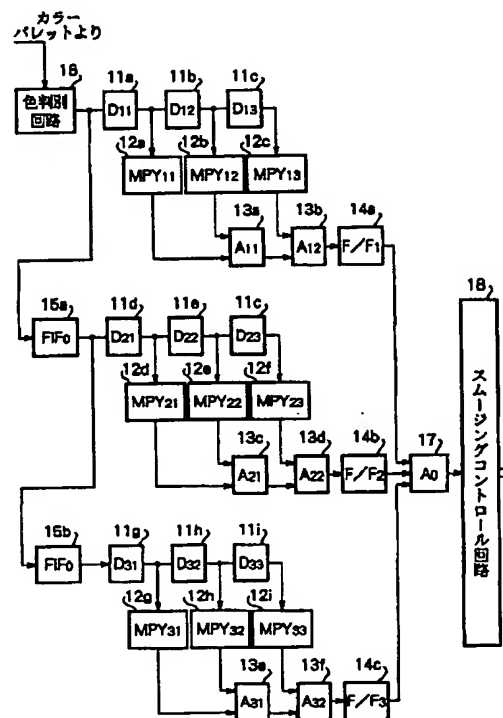
(74)代理人 弁理士 井ノ口 壽

(54)【発明の名称】 平滑化処理回路を有するグラフィック表示回路

(57)【要約】

【目的】 ラスタスキャン方式の表示器のグラフィック表示において、局所領域にスムージング機能を実現することにより、画面サイズを制限することなくリアルタイムで円滑化処理を可能にし、さらに任意の部分に対しスムージング可能とする。また、画素配列、グラフィック形状によりスムージングを最適化する平滑化処理回路を有するグラフィック表示回路を提供する。

【構成】 色判別回路16によりスムージング処理部の1つが選定される。3×3画素分の例で、遅延回路11により各ラインの画素が遅延させられる。演算器12により重み付けがなされ、それらが加算器13により加算される。重み付けされた局所領域の情報は加算器17より出力され、スムージングコントロール回路18の大小比較回路の設定回路、選択回路により輝度勾配およびフィルタリング範囲が決定される。



【特許請求の範囲】

【請求項1】 ラスタスキャン方式による表示器のグラフィック表示を行うグラフィック表示回路において、フレームの各画素に対応した輝度情報を受け、1つの画素の周囲 $m \times n$ 画素分の輝度情報に展開するため各画素を遅延させる遅延手段と、

前記 $m \times n$ 画素に対しスムージングのフィルタリングを行うため、前記展開された輝度情報に対し、重み付け処理するFIR型空間フィルタと、

前記フィルタリングの範囲を変更するために前記FIR型空間フィルタの定数を任意に設定変え可能な手段と、前記FIR型空間フィルタの演算結果を受け、少なくともスムージングの輝度傾斜を調整可能な手段とからなるスムージング処理部を持つ平滑化処理回路を有することを特徴とするグラフィック表示回路。

【請求項2】 前記スムージング処理部に、前記輝度情報に対応させてフィルタON/OFF情報を付加することにより表示器の任意の表示部分を選択して平滑化処理を可能に構成したことを特徴とする請求項1記載のグラフィック表示回路。

【請求項3】 前記スムージング処理部を複数設け、カラーグラフィックス映像に適用可能に構成したことを特徴とする請求項1または2記載のグラフィック表示回路。

【請求項4】 前記複数のスムージング処理部の出力に優先順位回路を設け、複数のスムージング処理部のうちの1つを優先的に選択することを特徴とする請求項3記載のグラフィック表示回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LCDまたはCRT表示器のビデオ信号発生回路に適用されるグラフィック表示回路、さらに詳しくいえば、グラフィック表示において例えば航空機の計器の針部分を図形表示する場合等に有効な、その図形の縁部を滑らかに表示できるように平滑化（スムージング）処理する平滑化処理回路を有するグラフィック表示回路に関する。最初に、本発明で用いる「画素」とは、画素またはドットを意味するものと定義する。

【0002】

【従来の技術】 ラスタスキャン方式による表示器において、コンピュータなどによるグラフィック表示は、画素の精細度不足の影響により外形のギザギザが目立つ場合が多い。この外形のギザギザを滑らかにする技術が従来より種々提案されている。図8（a）は、上記従来技術の一つで簡易型スムージング方法の一例を示す図である。これは、ラスタ方向について輝度の中間値を設定するもので、図8（a）に示すようにラスタ方向に対して各画素が…0, 0.5, 1.0, 0.5, 0…というように輝度の勾配がかけられるが、上下方向にはスムージング機

能は存在しない。

【0003】 さらに他の従来技術として図8（b）に示すように演算処理により円滑化を図っているものがある。これは、フレームメモリ上で以下の処理を一面毎に演算処理することによりスムージング化を図るものである。

1) 直線を検索する。

2) 直線上の輝度最大から十分離れた所を0に設定する。

3) 上記1) 2) を全画面について実行する。

具体的には画面全部についてDSP（ディジタル・シグナル・プロセッサ）などの高速演算器を用いてフレームメモリ的全領域について作業する。

【0004】

【発明が解決しようとする課題】 しかしながら、前者のスムージング方法では、ラスタ方向に垂直な方向は不自然な表示になる場合があるという欠点があった。また、後者の演算方法によるスムージング方法では、フレームメモリ的全領域について作業するためDSP等の演算処理に過大な負担がかかり、リアルタイムで処理をさせるためには画面サイズなどが制限されるという欠点があった。本発明の目的は、上記各欠点を解決するもので、局所領域におけるスムージング機能を実現することにより、演算時間の短縮化を図り、画面サイズを制限することなくリアルタイムで円滑化処理ができる平滑化処理回路を有するグラフィック表示回路を提供することにある。本発明の他の目的は、FIR（Finite Impulse Response）型フィルタの乗算回路の定数およびスムージングの輝度勾配を外部より調整可能にすることにより、中心部と周辺部との輝度の勾配ならびにフィルタ領域を画素配列、グラフィック形状に合わせて最適なものにすることができる平滑化処理回路を有するグラフィック表示回路を提供することにある。本発明のさらに他の目的は、スムージング機能のON/OFFとしてフレームメモリ上の色情報の一部にフィルタON/OFFビットを設けることにより任意の部位に選択的にスムージング機能を持たせることができる平滑化処理回路を有するグラフィック表示回路を提供することにある。

【0005】

【課題を解決するための手段】 前記目的を達成するために本発明による平滑化処理回路を有するグラフィック表示回路は、ラスタスキャン方式による表示器のグラフィック表示を行うグラフィック表示回路において、フレームの各画素に対応した輝度情報を受け、1つの画素の周囲 $m \times n$ 画素分の輝度情報に展開するため各画素を遅延させる遅延手段と、前記 $m \times n$ 画素に対しスムージングのフィルタリングを行うため、前記展開された輝度情報に対し、重み付け処理するFIR型空間フィルタと、前記フィルタリングの範囲を変更するために前記FIR型

空間フィルタの定数を任意に設定変え可能な手段と、前記FIR型空間フィルタの演算結果を受け、少なくともスムージングの輝度傾斜を調整可能な手段とからなるスムージング処理部を持つ平滑化処理回路を備えている。また、本発明は上記構成に加え、前記スムージング処理部に、前記輝度情報に対応させてフィルタON/OFF情報を付加することにより表示器の任意の表示部分を選択して平滑化処理を可能に構成してある。さらに、本発明は、上記構成に加え、スムージング処理部を複数設け、カラーグラフィックス映像に適用可能に構成してある。さらに、本発明は、前記複数のスムージング処理部の出力に優先順位回路を設け、複数のスムージング処理部のうちの1つを優先的に選択するように構成してある。

【0006】

【作用】上記構成によれば、画面サイズを制限することなくリアルタイムで円滑化処理が可能となる。また、グラフィック画素配列、形状に合わせて最適なスムージングを行うことができる。さらに任意のグラフィック部分に選択的にスムージング機能を持たせることが可能になる。

【0007】

【実施例】以下、図面を参照して本発明をさらに詳しく説明する。図1は、本発明による平滑化処理回路を有するコンピュータグラフィック表示回路の実施例を示す回路図である。図1において、表示画面に1対1に対応した画像信号はグラフィックジェネレータ5によりフレームメモリ4に蓄積される。表示コントロール回路7は、スイッチ回路6をフレーム毎に切換え、フレームメモリ4およびカラーパレット3を制御して、フレームメモリ4から1画素毎にパレットアドレスを読み出させ、そのアドレスに対応した輝度情報をカラーパレット3より出力させる。スムージング処理回路9は、スムージング処理部1および優先順位回路8より構成されている。スムージング処理部1は、R、G、Bの色毎または図形要素別に設けてあり、色別または要素別にスムージング機能を選択できる。例えば、R、G、Bの色毎であると、スムージング処理部1a、1bおよび1cは、それぞれR、G、Bに対応する。優先順位回路8は、スムージング要素が重なりあった場合、優先色または優先要素を選択することにより、スムージングの重なりによる干渉を防止するためのものである。

【0008】図2はスムージング要素の干渉と干渉防止を説明するための図である。(a)に干渉した状態を、(b)に干渉を防止した状態をそれぞれ示している。線の絵柄A₁、A₂と線の絵柄B₁、B₂がそれぞれ交差する部分に干渉が生じている。これを例えば、優先順位回路8により線の絵柄A₁、A₂を優先順位上位とすると、(b)のように干渉部分は回避できる。

【0009】図3は、スムージング処理部の詳細を示す

回路図である。この実施例は、局所領域 $m \times n$ ($m, n; 1, 2, 3 \dots$) = 3×3 の場合である。図1に示すカラーパレット3の出力信号は、カラー判別回路16により1a、1b...のうちの該当するスムージング処理部に入力される。遅延回路11は一面素の遅延を与える回路で、遅延回路11a、11bおよび11cは一ライン目の各画素を順番にフィルタリングするため一面素ずつ遅延させる。シフトレジスタ15は、表示器の一水平期間分の遅延を与えるように構成されており、シフトレジスタ15aは色判別回路16の出力を一ライン分シフトする。遅延回路11d、11eおよび11fは、シフトレジスタ15aの出力、すなわち二ライン目の各画素を順番にフィルタリングするため一面素ずつ遅延させる。さらに、シフトレジスタ15bはシフトレジスタ15aの出力を一ライン分シフトする。そして、遅延回路11g、11hおよび11iは、シフトレジスタ15bの出力、すなわち三ライン目の各画素を順番にフィルタリングするため一面素ずつ遅延させる。

【0010】上記のように遅延およびシフトさせて各画素を遅延回路11およびシフトレジスタ15に格納することにより各フレームを形成する画素は順番に最大 3×3 画素分フィルタリングできるように展開させられる。 3×3 画素分の輝度情報の中心は、遅延回路11eの出力である。演算器12は、 3×3 画素分の輝度情報の中心に対する周囲輝度の影響度(重み付け)を設定するための回路である。演算器12a、12bおよび12cは、遅延回路11a、11bおよび11cの出力に対しそれぞれ重み付けを行う。同様に、演算器12d、12eおよび12fは遅延回路11d、11eおよび11fの出力に対し、演算器12g、12hおよび12iは遅延回路11g、11hおよび11iの出力に対し、それぞれ重み付けを行う。図4(a)は、上記重み付けの一例を示すもので、中央の輝度に対し周囲輝度を $1/2$ で重み付けした状態を示している。例えば、図4(b)

(i)に示すように一つの画素のみ輝度信号がある場合、図4(a)のように重み付けしたとき、図4(b)(ii)に示すようなスムージング出力結果を出す。

【0011】図5は、演算器として用いる乗算回路の実施例を示す回路図である。演算器12a、12b、12c、12d、12f、12g、12hおよび12iは図5(a)の乗算回路が、演算器12eは図5(b)の乗算回路がそれぞれ用いられる。図5(a)において、輝度値($2^0 \ 2^1 \ 2^2$)はAND回路23でフィルタON/OFF情報とそれぞれ論理積が取られる。フィルタON/OFF情報が“1”のときは輝度値($2^0 \ 2^1 \ 2^2$)は出力されるが、フィルタON/OFF情報が“0”のときは輝度値は“0”が出力される。定数メモリ22aには、予め定数Bがセットされている。乗算器21aはAND回路23の出力と定数メモリ22aとの乗算を行い、乗算結果($2^0 \ 2^1 \ 2^2 \ 2^3$)はフィルタ

ON/OFF情報が“0”のときは“0”が、フィルタON/OFF情報が“1”のときは $A \times B'$ が出力される。F、Pはフィルタ優先度を示す情報でスムージング処理部1a、1b・・・の間で優先順位が付けられる。

【0012】図5(b)において、輝度値($2^0 \ 2^1 \ 2^2$)は乗算器21bに入力される。定数メモリ22bには、予め定数がセットされている。フィルタON/OFF情報は定数メモリ22bに入力され、フィルタON/OFF情報が“0”のときCLR信号が入力し、定数メモリ22bの定数=1となるため乗算結果($2^0 \ 2^1 \ 2^2 \ 2^3$)は入力輝度値と等しくなる。フィルタON/OFF情報が“1”のときは $A \times B'$ が出力される。定数メモリ22a、22bに格納される定数は、外部よりプログラムが可能で任意に変えることができる。この定数値によってフィルタリング範囲を変えることができる。また、フィルタON/OFF情報によりスムージングの範囲を変えることができる。

【0013】図3において、演算器12aおよび12bの出力は、加算器13aで加算され、加算器13aの出力と演算器12cの出力は加算器13bで加算され、1ライン目の水平方向の輝度が加算される。同様に演算器12dおよび12eの出力は、加算器13cで加算され、加算器13cの出力と演算器12fの出力は加算器13dで加算され、2ライン目の水平方向の輝度が、演算器12gおよび12hの出力は、加算器13eで加算され、加算器13eの出力と演算器12iの出力は加算器13fで加算され、3ライン目の水平方向の輝度が加算される。加算器13b、13dおよび13fの出力はそれぞれラッチ回路14a、14bおよび14cに入力され、該ラッチ回路14a、14bおよび14cによって演算結果の遅延ばらつきによる誤出力を防止するため同期がとられる。ラッチ回路14a、14bおよび14cの出力は、加算器17で加算され、スムージングコントロール回路18に送られる。遅延手段はシフトレジスタ15および遅延回路11を含む部分で構成され、FIR型フィルタは、遅延回路11、演算器12、加算器13、17およびラッチ回路14により含む部分で構成されている。この実施例では最大 3×3 画素分のフィルタリング範囲となるような回路構成であるが、例えば最大 7×7 画素分のフィルタリング範囲が可能なような構成にしておけば、 3×3 、 5×5 画素のフィルタリング範囲を定数メモリ22aの設定値により選択することができる。

【0014】スムージングコントロール回路18は、上記演算結果を処理して、表示におけるスムージングを最適化する機能を有している。図6は、スムージングコントロール回路の実施例を示す回路図である。スムージングを効果的に実施するにはその絵柄によってその機能を可変することが必要である。すなわち

①図7(a)に示すように原画像に対して輝度の勾配を

調整可能なこと。

②図7(b)に示すようにフィルタリングの範囲を調整可能なこと。

③図7(c)に示すようにスムージングの範囲を調整可能なこと。

②および③については、上述したように図5(a)

(b)に示した乗算回路の定数メモリ22a、22bに設定する値を変えること、およびフィルタON/OFF情報により調整可能である。スムージングコントロール回路18は、主に①の調整が可能のように構成されているが、副次的に同時にフィルタリング範囲を変更することも可能である。

【0015】図6において、大小比較回路31a、32aは、加算器17からの出力と、設定回路33a、34aで規定される値 B_1 、 B_2 との大小比較を行う。大小比較回路31aは $A \leq B_1$ の大小を、大小比較回路32aは $B_2 < A$ の大小をそれぞれ比較し、それら比較出力はAND回路35aに入力する。同様に大小比較回路31b、32bは、加算器17からの出力と設定回路33b、34bで規定される値 B_3 、 B_4 との大小比較を行い、その比較出力はAND回路35bに入力する。このようにしてそれぞれ異なるレベル範囲 B_1 、 B_2 、 B_3 、 B_4 、 B_5 、 B_6 、 B_7 、 B_8 ($B_1 > B_2 > B_3 > B_4 > B_5 > B_6 > B_7 > B_8$)と比較し、AND回路35a～35dの出力は選択回路26に入力される。AND回路の出力はウィンドウコンパレータとして動作する。選択回路36は、AND回路35a～35dの各出力を出力端0～7のいずれかにそれぞれ接続する。AND回路35a～35dの各出力と出力端0～7との接続は任意に選択することが可能である。したがって、選択回路36の選択内容を変えることによってスムージング波形の勾配を任意に設定することが可能である。なお、選択回路36の選択によって同時にフィルタリング範囲を変えることも可能である。選択回路36の出力はエンコーダ37に入力され、バイナリー出力に変換されて図示しないビデオ信号発生回路に送られる。

【0016】

【発明の効果】本発明は、以上説明したように構成されているので、以下に示す種々の効果を得ることができる。

(1) リアルタイムでビデオ信号を出力可能である。図4に示すようにFIR型空間フィルタ形式の $m \times n$ 局所領域演算を行うように構成されているので、回路が比較的簡易であるとともに画面サイズを制限することなくリアルタイムでビデオ信号を出力できる。

(2) スムージング範囲を選択可能である。図5に示すように輝度情報とともにフィルタON/OFF情報を加え、表示要素毎にスムージング機能をON/OFF可能に構成することにより、スムージング範囲を任意に選べ、視認性のよい表示が可能となる。

(3) スムージング機能(輝度勾配、フィルタリング範囲)の微調整が可能である。FIR型空間フィルタの定数を任意に変更可能な手段(図5(b))に示す乗算器(MPY)の定数を任意に設定)と、前記FIR型空間フィルタの演算結果をデジタル的に処理してスムージングの輝度傾斜を調整する手段(図6に示すスムージングコントロール回路における輝度勾配を調整)とを有することにより、種々の表示器、表示内容に対応可能となる。

【0017】(4) スムージング要素の重なりによる干渉を防止する。例えば、2針式の計器を表示する場合、スムージング要素同士が重なり合う部分を生ずる。この重なり部分は、図2(a)に示すようにスムージングの干渉が発生する。フィルタON/OFF情報とともに、フィルタ優先ビットを追加しスムージング処理部の後に優先順位回路を設けることにより、同一箇所においてスムージングの要素が重なった場合にはこの優先順位回路が複数のスムージング出力のどれを優先させて出力させるか決定するので、図2(b)に示すように干渉を防止できる。本発明による平滑化処理回路を有するグラフィック表示回路によれば、例えば航空機の計器表示に高画質なグラフィック表示を簡便に、しかも比較的低コストで実現できる。特に実施例回路はすべてデジタル論理でありASI化すれば、小型軽量、低コストが実現可能で大きな効果を発揮するものである。

【図面の簡単な説明】

【図1】 本発明による平滑化処理回路を有するグラフィック表示回路の実施例を示す回路図である。

【図2】 スムージング要素の干渉状態と干渉防止を説明するための図である。

【図3】 本発明によるスムージング処理部の実施例を示す回路図である。

【図4】 3×3画素分の重み付けを説明するための図である。

【図5】 乗算回路の実施例を示す回路図で、(a)はMPY22以外に適用する乗算回路を、(b)はMPY22に適用する乗算回路を示している。

【図6】 スムージングコントロール回路の実施例を示す回路図である。

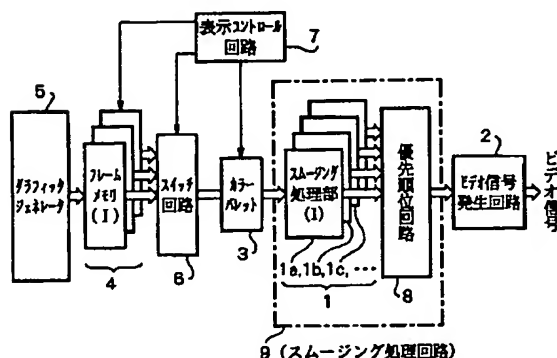
【図7】 図6のスムージングコントロール回路を説明するための波形図である。

【図8】 従来のスムージング処理を説明するための図である。

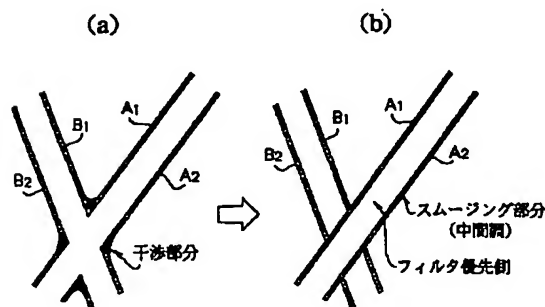
【符号の説明】

- 1…スムージング処理部
- 2…ビデオ信号発生回路
- 3…カラーパレット
- 4…フレームメモリ
- 5…グラフィックジェネレータ
- 6…スイッチ回路
- 7…表示コントロール回路
- 8…優先順位回路
- 9…スムージング処理回路
- 11…遅延回路
- 12…乗算回路
- 13, 17…加算回路
- 14…ラッチ回路
- 15…シフトレジスタ
- 16…色判別回路
- 18…スムージングコントロール回路
- 21a, 21b…乗算器
- 22a, 22b…定数メモリ
- 23, 35…AND回路
- 31, 32…大小比較回路
- 33, 34…設定回路
- 36…選択回路
- 37…エンコーダ

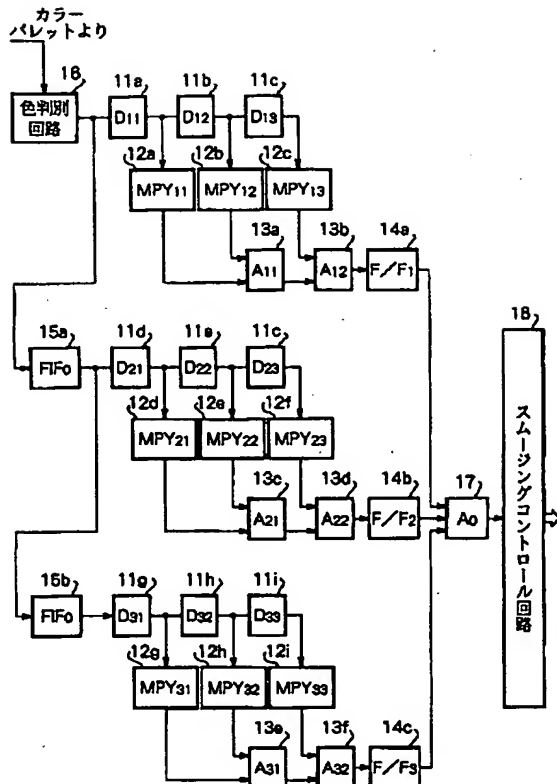
【図1】



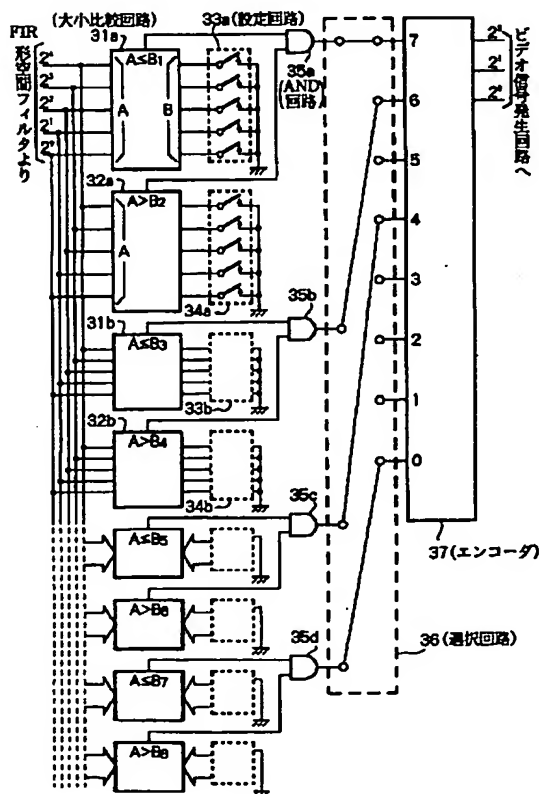
【図2】



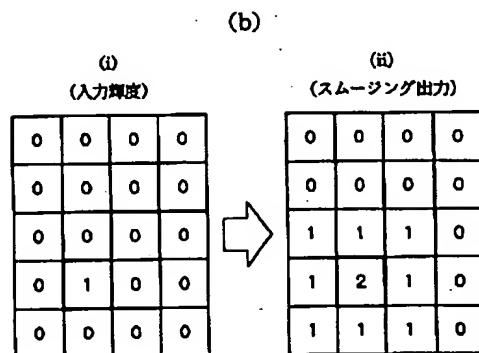
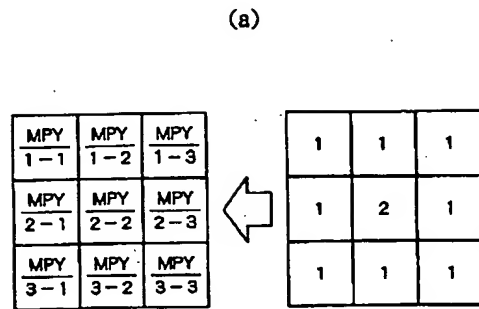
【図3】



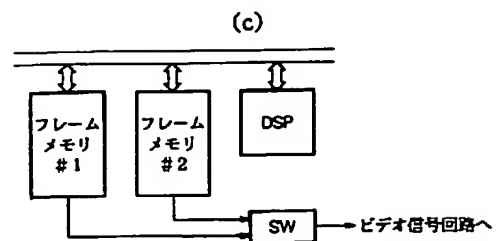
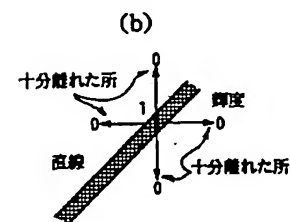
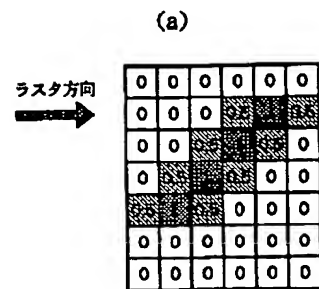
【図6】



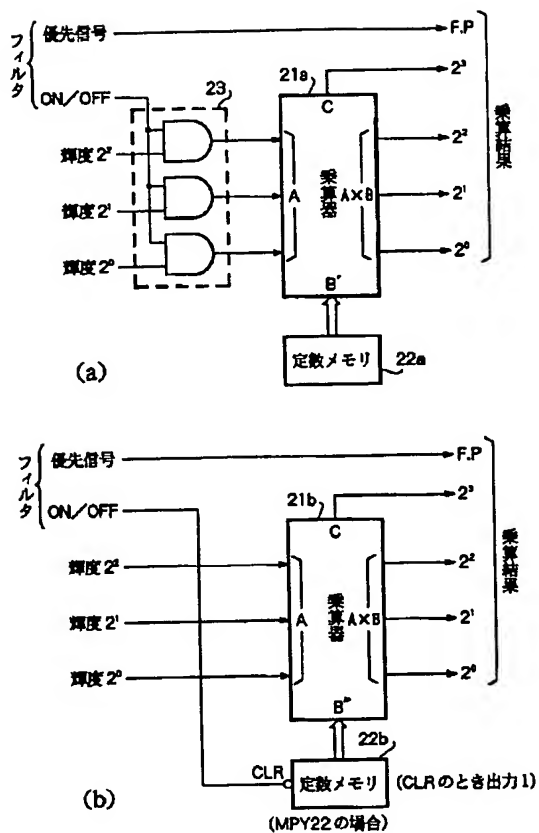
【図4】



【図8】



【図 5】



【図 7】

